



KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000045854 A
 (43)Date of publication of application: 25.07.2000

(21)Application number: 1019980062450

(22)Date of filing: 30.12.1998

(30)Priority:

(71)Applicant:

HYUNDAI ELECTRONICS IND.
CO., LTD.

(72)Inventor:

SEO, YU SEOK
CHA, TAE HO

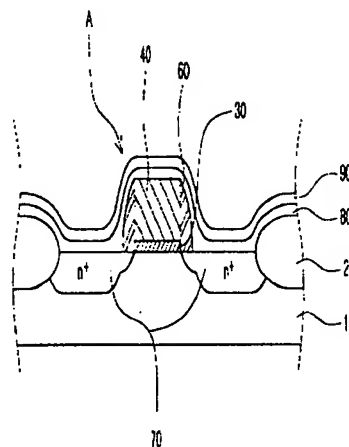
(51)Int. Cl.

H01L 21/336

(54) METHOD OF FORMING SILICIDE LAYER OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method of forming a silicide layer is provided to reduce a leakage current by forming an alloy silicide layer at a junction region and polysilicon layer of a gate electrode. CONSTITUTION: A gate oxide film(30) and a polysilicon layer(40) are deposited on a semiconductor substrate(10) formed with a field oxide film(20). At that time, the substrate is etched by a masking etching process to form a gate electrode(A), and is deposited with an oxide film(50) to form a spacer on a side of the gate electrode. A side of the gate electrode is formed with a spacer film(60) by a selectivity etching process, and an ion is injected into a junction region to form a source/drain region(70). The substrate is deposited with a Ni layer(8) and a Co layer(90). The Ni layer and the Co layer are primarily annealed to form an alloy silicide layer on the junction region and the polysilicon layer.



COPYRIGHT 2000 KIPO

Legal Status

Date of request for an examination (20031030)

Notification date of refusal decision ()

Final disposal of an application (registration)

Date of final disposal of an application (20051227)

Patent registration number (1005644160000)

Date of registration (20060320)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent ()

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. 6
H01L 21/336(11) 공개번호 특2000-0045854
(43) 공개일자 2000년07월25일(21) 출원번호 10-1998-0062450
(22) 출원일자 1998년12월30일(71) 출원인 현대전자산업 주식회사 · 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 차태호
경기도 이천시 대월면 현대전자아파트 102-602
서유석
서울특별시 마포구 성산동 251-14
(74) 대리인 박대진
이은경
정은섭

심사청구 : 없음

(54) 반도체소자의 살리사이드층 형성방법

요약

본 발명은 게이트전극의 살리사이드층에 관한 것으로서, 게이트전극의 측면부에 스페이서막을 형성한 후 정션영역에 이온을 주입하여 소오스/드레인영역을 형성하는 단계와; 상기 결과물 상에 Ni층/Co층을 연속하여 적층하는 단계와; 상기 Ni층/Co층을 제1차 열처리공정을 진행하여 정션영역과 폴리실리콘층 상에 합금살리사이드층인 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ 층을 형성하는 단계와; 상기 단계 후에 스페이서막과 필드산화막 상에 형성되어 있는 Co 및 Ni의 혼합층을 선택식각으로 제거하는 단계와; 상기 결과물에 제2차 열처리공정을 진행하여 합금살리사이드층인 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ 층 보다 안정화시키도록 하는 단계를 포함한 반도체소자의 살리사이드층 형성방법인바, 게이트전극에 니켈층과 코발트층을 순차적으로 적층하여 제1차 열처리공정, 선택에칭공정 및 제2차열처리공정을 거치면서 게이트전극의 폴리실리콘층과 정션영역에 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ 으로 된 합금살리사이드층을 형성하므로 누설전류를 감소시킬 뿐만아니라 공정을 간소화하도록 하는 매우 유용하고 효과적인 발명이다.

대표도

도4

명세서

도면의 간단한 설명

도 1 내지 도 6은 본 발명에 따른 반도체소자에서 게이트전극의 살리사이드층을 형성하는 방법을 순차적으로 보인 도면이다.

-도면의 주요부분에 대한 부호의 설명-

10 : 반도체기판 20 : 필드산화막
30 : 게이트산화막 40 : 하부폴리실리콘층
50 : 마스크산화막 60 : 감광막
70 : PECVD산화막 80 : 감광막
90 : 금속층 95 : 스페이서막
90' : 살리사이드층 100 : 소오스/드레인영역
A : 게이트전극

발명의 상세한 설명

발명의 목적

본 발명은 게이트전극에서 살리사이드층 형성방법에 관한 것으로서, 특히, 반도체기판 상에 게이트산화막 및 폴리실리콘층을 적층한 후 식각을 하여 게이트전극을 형성하고, 이 게이트전극에 니켈층과 코발트층을 순차적으로 적층하여 제1차 열처리공정, 선택에칭공정 및 제2차열처리공정을 거치면서 게이트전극의 폴리실리콘층과 정션영역에 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ 로 된 합금살리사이드층을 형성하므로 누설전류를 감소시킬 뿐만아니라, 공정을 간소화하도록 하는 반도체소자의 살리사이드층 형성방법에 관한 것이다.

일반적으로, 트랜지스터의 소오스/드레인영역 콘택재료 및 게이트메탈로서 동시에 CoSi_2 층을 형성하기 위하여서는 여러 가지 방법이 있으나 대표적으로 적용되는 2가지 방법을 살펴 보도록 한다.

첫번째 방법은 Co단일층을 증착하여 소오스/드레인 지역의 실리콘과 게이트부분의 도핑된 폴리실리콘층과 동시에 반응하여 CoSi_2 층을 형성하도록 하는 방법이 있다.

그리고, 두 번째 방법은 Co/Ti이중층을 이용하는 방법으로서, 이 방법은 소오스/드레인의 정션부분에 중간층으로서 Ti층을 사용하도록 하고, Co층의 플럭스량을 조절하여 CoSi_2 층을 에피성장으로 형성하도록 한다.

그러나, 상기한 첫 번째 방법은, 소오스/드레인영역의 정션지역(Junction Region)의 CoSi_2 층이 다결정층으로 자라기 때문에 얇은 정션(Shallow Junction)에 있어서, CoSi_2 층의 두께조절이 어렵고, CoSi_2 층과 Si사이의 계면이 거칠어지는 문제점을 지니고 있었다.

또한, 두 번째 방법은 TiCoSi 층이 삼상층으로 생성됨으로 인한 선택적 에칭방법이 복잡하고 게이트부분의 스페이서막인 사이드월 산화막(Side Wall Oxide) 밑부분에서 Si의 확산으로 인한 공극(Void)이 형성되어 소자의 특성을 저하시키는 문제점을 지니고 있었다.

발명이 이루고자하는 기술적 과제

본 발명은 이러한 점을 감안하여 안출한 것으로서, 반도체기판 상에 게이트산화막 및 폴리실리콘층을 적층한 후 식각을 하여 게이트전극을 형성하고, 이 게이트전극에 니켈층과 코발트층을 순차적으로 적층하여 제1차 열처리공정, 선택에칭공정 및 제2차열처리공정을 거치면서 게이트전극의 폴리실리콘층과 정션영역에 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ 로 된 합금살리사이드층을 형성하므로 누설전류를 감소시킬 뿐만아니라 공정을 간소화하도록 하는 것이 목적이다.

발명의 구성 및 작용

이러한 목적은 필드산화막이 형성된 반도체기판 상에 게이트산화막 및 폴리실리콘층을 순차적으로 적층한 후 식각으로 게이트전극을 형성하는 단계와; 상기 결과물 상에 산화막을 적층하여 선택 식각으로 게이트전극의 측면부에 스페이서막을 형성한 후 정션영역에 이온을 주입하여 소오스/드레인영역을 형성하는 단계와; 상기 결과물 상에 Ni층/Co층을 연속하여 적층하는 단계와; 상기 Ni층/Co층을 제1차 열처리공정을 진행하여 정션영역과 폴리실리콘층 상에 합금살리사이드층인 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ 층을 형성하는 단계와; 상기 단계 후에 스페이서막과 필드산화막 상에 형성되어 있는 Co 및 Ni의 혼합층을 선택식각으로 제거하는 단계와; 상기 결과물에 제2차 열처리공정을 진행하여 합금살리사이드층인 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ 층 보다 안정화시키도록 하는 단계를 포함하여 이루어진 반도체소자의 살리사이드층 형성방법을 제공함으로써 달성된다.

그리고, 상기 폴리실리콘층은 500 ~ 650℃의 온도범위와 80torr이하의 증착압력으로 진행하고, 증착소오스가스는 PH_3 와 SiH_4 가스를 사용하도록 한다.

상기 폴리실리콘층 상에 적층되는 Ni층/Co층은 CVD(Chemical Vapor Deposition) 혹은 PVD(Pressure Vapor Deposition)법으로 증착하도록 하고, 이 Co층 : Ni층의 증착비율은 1 : 0.05 ~ 0.6정도로 하는 것이 바람직하다.

그리고, 상기 제1차 열처리공정은 급속열처리공정(RTP; Rapid Thermal Processing)으로 하고, 400 ~ 850 ℃의 온도범위에서 진행하거나 또는, 제1차 열처리공정은 확산로(Furnace)에서 하고, 400 ~ 800℃의 온도범위에서 진행하도록 한다.

그리고, 상기 선택식각공정은 SPM용액, BOE용액 또는 HF용액으로 진행하도록 한다.

그리고, 상기 제2차 열처리공정은 급속열처리공정으로 하고, 550 ~ 900℃의 온도범위에서 진행하거나 또는, 제2차 열처리공정은 확산로에서 하고, 550 ~ 850℃의 온도범위에서 진행하도록 한다.

한편, 상기 Ni층/Co층을 증착하는 대신에 $\text{Co}_{1-x}\text{Ni}_x$ 의 스퍼링(Sputtering) 혼합물을 타겟(Target)으로 이용하여 PVD방법으로 증착하고, 급속열처리공정으로 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ 층을 형성할 수도 있다.

이때, 이 $\text{Co}_{1-x}\text{Ni}_x$ 스퍼링 혼합물 타겟의 Ni비율의 값은 0.05 ~ 0.6 으로 하고, 급속열처리공정은 500 ~ 900℃의 온도범위로 진행하도록 한다.

이하, 첨부한 도면에 의거하여 본 발명의 일 실시예에 대하여 상세히 살펴보도록 한다.

도 1 내지 도 6은 본 발명에 따른 반도체소자에서 게이트전극의 살리사이드층을 형성하는 방법을 순차적으로 보인 도면이다.

도 1은 상기 필드산화막(20)이 형성된 반도체기판(10) 상에 게이트산화막(30) 및 폴리실리콘층(40)을 순차적으로 적층한 상태를 도

그리고, 도 2는 상기 결과물을 마스크식각으로 에칭하여 게이트전극(A)을 형성한 후에 게이트전극(A)의 측면에 스페이서층을 형성하기 위하여 산화막(50)을 적층한 상태를 도시하고 있다.

도 3는 상기 결과물 상에 산화막(50)을 적층하여 선택식각(Selectivity Etch)으로 게이트전극(A)의 측면부에 스페이서막(60)을 형성한 후 정션영역에 이온을 주입하여 소오스/드레인영역(70)을 형성하는 상태를 도시하고 있다.

도 4는 상기 결과물 상에 Ni층(80)/Co층(90)을 연속하여 적층하는 상태를 도시하고 있다.

상기 Ni층(80)/Co층(90)은 CVD 혹은 PVD법으로 증착하도록 하고, Co층(90) : Ni층(80)의 증착비율은 1 : 0.05 ~ 0.6정도로 하는 것이 바람직하다.

도 5는 상기 Ni층(80)/Co층(90)을 제1차 열처리공정을 진행하여 정션영역과 폴리실리콘층(40)상에 합금살리사이드층인 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ 층(100)을 형성하도록 하고, 스페이서막(60)과 필드산화막(20)에는 Ni층과 Co층의 혼합층(100')이 형성된 상태를 도시하고 있다.

이때, 상기 제1차 열처리공정은 급속열처리공정으로 하고, 400 ~ 850℃의 온도범위에서 진행하거나 혹은, 제1차 열처리공정은 확산로에서 하고, 400 ~ 800℃의 온도범위에서 진행하도록 한다.

그리고, 도 6은 상기 단계 후에 스페이서막(60)과 필드산화막(20) 상에 형성되어 있는 Co 및 Ni의 혼합층(100')을 선택식각으로 제거한 후의 상태를 도시하고 있다.

이때, 상기 선택식각공정은 SPM용액($\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ 의 혼합용액), BOE용액 또는 HF용액으로 진행하도록 한다.

그리고, 상기 결과물에 제2차 열처리공정을 진행하여 합금살리사이드층인 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ 층 보다 안정화시키도록 한다.

상기 제2차 열처리공정은 급속열처리공정으로 하고, 550 ~ 900℃의 온도범위에서 진행하거나 혹은, 제2차 열처리공정은 확산로에서 하고, 550 ~ 850℃의 온도범위에서 진행하도록 한다.

한편, 상기 Ni층(80)/Co층(90)을 증착하는 대신에 $\text{Co}_{1-x}\text{Ni}_x$ 의 스퍼링 혼합물을 타겟으로 이용하여 PVD 방법으로 증착하고, 급속 열처리공정으로 500 ~ 900℃의 온도범위로 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ 층(100)을 형성하도록 하며, 상기 $\text{Co}_{1-x}\text{Ni}_x$ 스퍼링 혼합물 타겟의 Ni층 비율의 값은 0.05 ~ 0.6 정도가 되도록 하는 약간 변형된 방법을 이용할 수 있다.

발명의 효과

따라서, 상기한 바와 같이 본 발명에 따른 반도체소자의 살리사이드 형성방법을 이용하게 되면, 반도체기판 상에 게이트산화막 및 폴리실리콘층을 적층한 후 식각하여 게이트전극을 형성하고, 이 게이트전극에 니켈층과 코발트층을 순차적으로 적층하여 제1차 열처리공정, 선택에칭공정 및 제2차 열처리공정을 거치면서 게이트전극의 폴리실리콘층과 정션영역에 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ 로 된 합금살리사이드층을 형성하므로 누설전류를 감소시킬 뿐만아니라 공정을 간소화하도록 하는 매우 유용하고 효과적인 발명이다.

(57)청구의 범위

청구항1

필드산화막이 형성된 반도체기판 상에 게이트산화막 및 폴리실리콘층을 순차적으로 적층한 후 식각으로 게이트전극을 형성하는 단계와;상기 결과물 상에 산화막을 적층하여 선택식각으로 게이트전극의 측면부에 스페이서막을 형성한 후 정션영역에 이온을 주입하여 소오스/드레인영역을 형성하는 단계와;상기 결과물 상에 Ni층/Co층을 연속하여 적층하는 단계와;상기 Ni층/Co층을 제1차 열처리공정을 진행하여 정션영역과 폴리실리콘층 상에 합금살리사이드층인 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ 층을 형성하는 단계와;

상기 단계 후에 스페이서막과 필드산화막 상에 형성되어 있는 Co 및 Ni의 혼합층을 선택식각으로 제거하는 단계와;

상기 결과물에 제2차 열처리공정을 진행하여 합금살리사이드층인 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ 층 보다 안정화시키도록 하는 단계를 포함한 것을 특징으로 하는 반도체소자의 살리사이드층 형성방법.

청구항2

제 1 항에 있어서, 상기 폴리실리콘층은 500 ~ 650℃의 온도범위와 80torr이하의 증착압력으로 진행하고, 증착소오스가스는 PH_3 와 SiH_4 가스를 사용하는 것을 특징으로 하는 반도체소자의 살리사이드층 형성방법.

청구항3.

제 1 항에 있어서, 상기 Co층 : Ni층의 증착비율은 1 : 0.05 ~ 0.6인 것을 특징으로 하는 반도체소자의 살리사이드층 형성방법.

이드층 형성방법.

청구항5

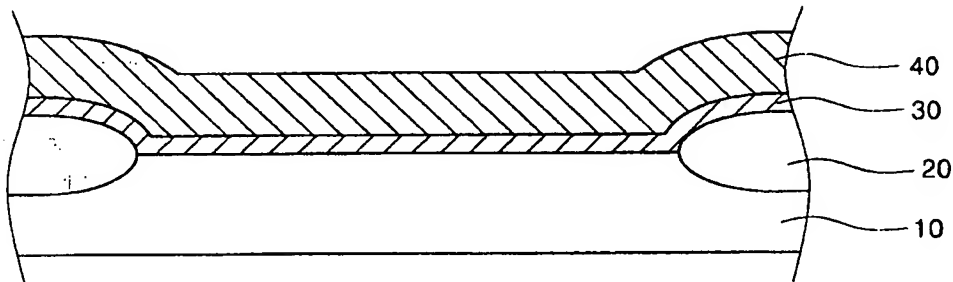
제 1 항에 있어서, 상기 Ni층/Co층을 증착하는 대신에 $\text{Co}_{1-x}\text{Ni}_x$ 의 스퍼링 혼합물을 타겟으로 이용하여 PVD 방법으로 증착하고, 급속열처리공정으로 $\text{Co}_{1-x}\text{Ni}_x\text{Si}_2$ 층을 형성하는 것을 특징으로 하는 반도체소자의 살리사이드층 형성방법.

청구항6

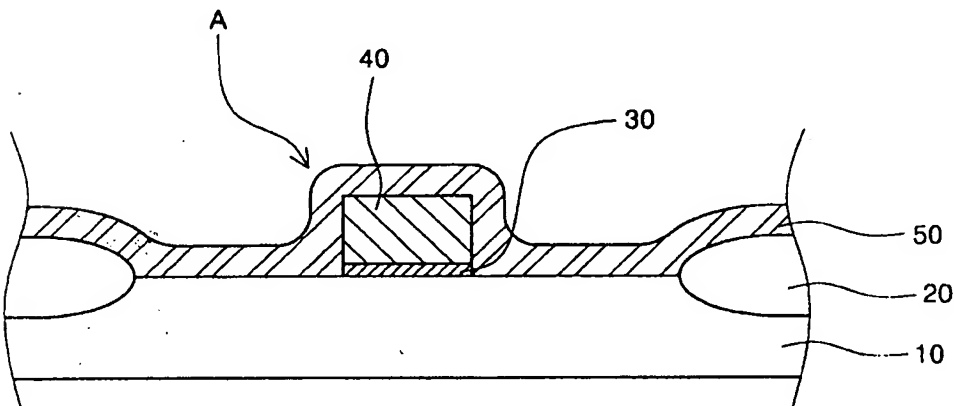
제 5 항에 있어서, 상기 $\text{Co}_{1-x}\text{Ni}_x$ 스퍼링 혼합물 타겟의 Ni비율의 값은 0.05 ~ 0.6 인 것을 특징으로 하는 반도체소자의 살리사이드층 형성방법.

도면

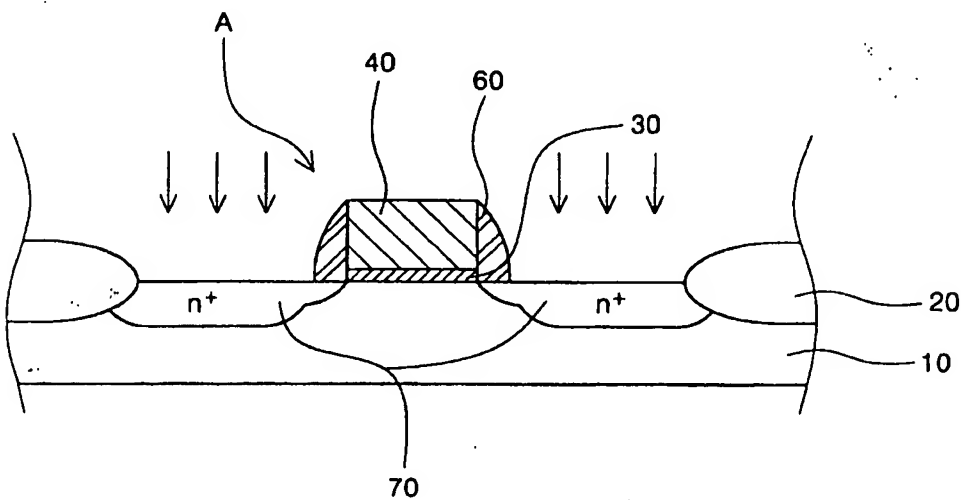
도면1



도면2

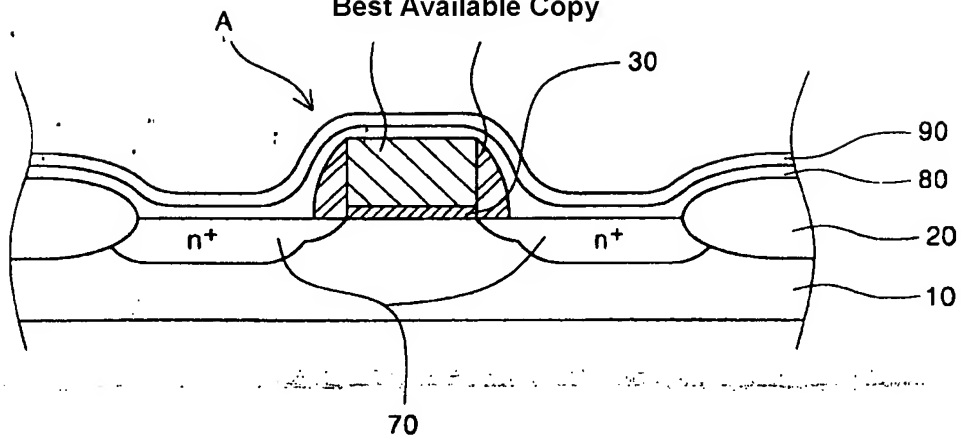


도면3

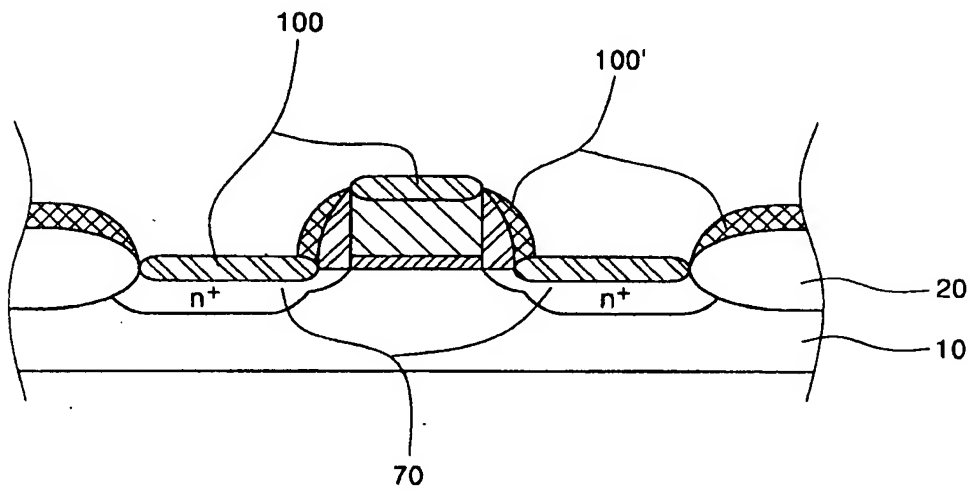


도면4

Best Available Copy



도면5



도면6

